Appendix 1

# Gen2とGen3，ケーブル規格の概要

## PCI Expressの今後の動向

畑山 仁

**PCI Express Rev.2.0やケーブル規格の最近の動向，必要となる計測器などを紹介する．また，PCI Express Rev. 3.0の動向について紹介する．　　　（編集部）**

## 1 PCI Express Rev.2.0

### ● 物理層の電気サブブロック面を変更

Rev.2.0のデータ転送レートは規格化段階で6.25Gbps，6Gbps，5Gbpsと意見が分かれましたが，Rev.1.xとの両立を目指して5Gbpsに決定され，2006年12月に正式に発行されました（p.74のコラム「PCI Expressの歴史とフォームファクタ」およびp.75のコラム「規格書の違い」を参照）．

デバイス内部の浮遊キャパシタなどの影響で，周波数が高くなると，終端されていてもインピーダンスが下がる傾向にあります．高周波でのインピーダンス整合性を高めるため，基板の差動インピーダンスを100Ωから85Ωに下げました．ただし終端差動抵抗は従来どおり100Ωです．

ディエンファシス量も増やされ，本文中にあるように2.5Gbpsの－3.5dBに加え，5Gbpsでは－6dBが追加されました．

グラフィックス用にRev.2.0のx16リンクを2ポート搭載したチップセット「Intel X38 Express」が2007年10月に登場したのに続き，同チップセットを搭載したメイン・ボードが，市場に出回り始めました．

### ● クロック入力やジッタの電気テスト方法を変更

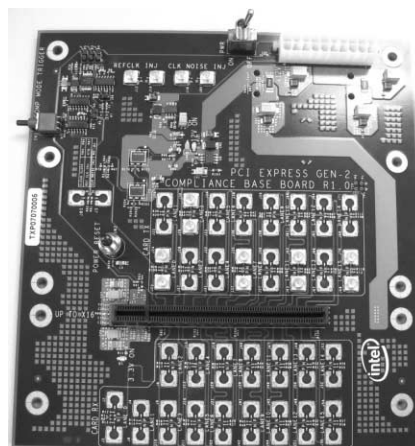
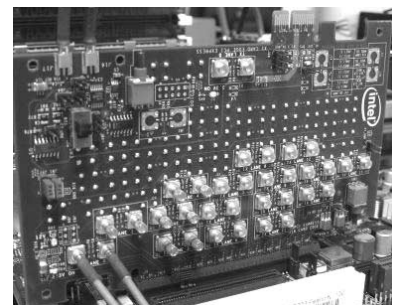
Rev.2.0ではシステム・ボードのテスト方法で下記のような変更がありました．これらの変更に伴い，PCI-SIGのオシロスコープ用コンプライアンス・テスト・ソフトウェアであるSigTestも改版されました（SigTest3.1）．なおテスト・フィクスチャも**写真1**のように変更になりました．

#### 1）デュアル・ポート測定

Rev.2.0のアドイン・カードはRev.1.1同様に，ジッタが十分小さい「クリーン・クロック」をリファレンス・クロックに入力して，データのアイ・パターンとジッタを測定します．システム・ボードでは，従来のようにデータ，クロックのジッタを別々に測るのではなく，同時に測定する「デュアル・ポート測定法」が取り入れられました．これはクロック・ジッタの影響を受けて発生するデータ・ジッタ（コモン・ジッタ）を除外しようという観点からです．

（a）CBB

（b）CLB

**写真1**
**Rev.2.0用のCLBとCBB**
CBB（Compliance Base Board）は，基本的にRev.1.xと変わらない．データ・レートとディエンファシス量の設定スイッチが付いたことと，ケーブル接続用のレセプタクルがSMAからSMPに変更されたことが異なる．CLB（Compliance Load Board）は，x1とx16用とx4とx8用の2種類になった．リファレンス・クロックへのアクセスがヘッダ・ピンへの差動プローブ接続からSMPレセプタクルへのケーブル接続に変更された．

## PCI Expressの歴史とフォーム・ファクタ

コラム1

2002年当初，PCI Expressは国内で話題になることも少なく，筆者らはその普及を懸念しました．米国Intel社がPCI Expressを搭載したチップセットを出荷し，同チップセットが搭載されたメイン・ボードが出回り始めた2003年の初夏ごろから，状況が変わりました．

2007年の現在ではパソコン/サーバでの導入はもちろん，高機能コピー，プリンタなどの事務機器，さらに放送機器や医療機器など，特にデータ伝送帯域を必要とする画像処理のアプリケーションを中心に広がりを見せています．

また，2006年末から2007年にかけて，データ転送レートを5Gbpsに高めたRev.2.0およびケーブル仕様が制定されるなどの活発な動きがあります．2007年8月には，さらに次の世代，Gen3（Rev.3.0）のデータ転送レートを8Gbpsに決定したとの発表もありました．**表A-1**に今日までのPCI Expressの主な規格の発表時期をまとめます．

また物理層はPCI Expressに準拠しながらも，**表A-2**のようにさまざまな標準規格団体から，さまざまなフォーム・ファクタが登場しています．

**表A-1　PCI Expressの規格の推移**

| 時　期 | 出来事 |
|---|---|
| 2002年　7月 | Base/CEM Specification Rev.1.0 |
| 2003年　4月 | Base/CEM Specification Rev.1.0a |
| 2004年12月 | Gen2 5Gbps採用決定 |
| 2005年　3月 | Base/CEM Specification Rev.1.1 |
| 2006年12月 | Rev.1.1コンプライアンス・テスト開始 |
| 2006年12月 | Base Specification Rev.2.0 |
| 2007年　1月 | External Cabling Rev.1.0 |
| 2007年　2月 | Rev.2.0コンプライアンスFYI[注]テスト開始 |
| 2007年　4月 | CEM Rev.2.0 |
| 2007年　8月 | Gen3（Rev.3.0）8Gbps採用決定 |

注：For Your Information（参考）

**表A-2　PCI Expressを支援する規格団体と代表的なフォーム・ファクタ**

| 規格団体 | フォーム・ファクタ |
|---|---|
| PCI-SIG | アドイン・カード |
| | Mini-Card |
| | ワイヤレス・フォーム・ファクタ |
| | Expressモジュール（サーバI/Oモジュール） |
| | ケーブル |
| PCMCIA | ExpressCard |
| PICMG | COM Express |
| VITA | XMC |

### 2）Rj/Dj/Tjという3種類のジッタの測定

ジッタはランダム・ジッタRjとデタミニスティック・ジッタDjに大別されます．両者は性質が大きく異なります．ランダム・ジッタは熱雑音などに起因するので，時間経過（つまり伝送されるビット数）に伴い大きなジッタの発生確率が徐々に高まります．一方，デタミニスティック・ジッタはスイッチング電源やオシレータからの漏れ込みなどに起因するので，確率分布は時間経過に関係なく一定となります．

PCI ExpressのRev.1.1ではジッタのバジェットとして数値が記載されましたが，Rev.2.0ではトータル・ジッタTjとRj，Djの測定が必須となりました．**図1**に5GbpsのSigTest3.1による測定結果を示します．

PCI Express Rev.2.0で新しく追加

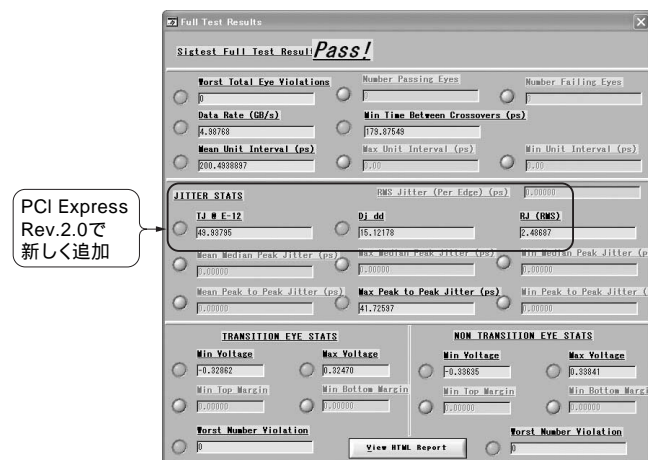



**図1　SigTest3.1での5Gbps信号測定例**
SigTest3.1では，JITTER STATSのTJ @E－12とDj_dd，Rj（RMS）が追加された．

### ● オシロスコープの帯域が12.5GHzまで必要

測定器は，どこまでの周波数成分を捕捉できるかが重要です．最近の規格では第5高調波捕捉（NRZ信号ではデータ・レートの1/2が基本波）が目安という考えで，Rev.2.0でも取り入れられました．そのため，5Gbpsの信号の捕捉には12.5GHz帯域のオシロスコープが必要です．**表1**に各データ・レート（規格）の基本波および高調波周波数を示します．

## 2 そのほかのトピックス

### ● ケーブル規格の制定により機器間接続が可能に

ケーブル規格（Cable Specification）は，内部バスであるPCI

## 規格書の違い

コラム2

PCI Expressを使ったシステムを作る上で理解しておく必要があるのが，規格書(Specification)の違いです．

1) Base Specification

Base Specificationは，トランザクション層から物理層までPCI Express全体の基本仕様を規定しています．物理層の電気仕様はトランスミッタとレシーバ端で規定されています．

2) CEM Specification

CEM Specificationは，アドイン・カードやシステム・ボードなど，PCI Expressエッジ・コネクタにおける規格です．アドイン・カードやコネクタの物理的寸法，サイドバンド信号も含まれます．

3) Cable Specification

Cable Specificationは，ケーブル接続のコネクタ，およびケーブル出口における規格です．コネクタの物理的寸法，サイドバンド信号も含まれます．

表1　データ・レート(規格)ごとの基本波と高調波周波数

第3次高調波までの波形ではマージンが低下しているように測定される可能性がある．

| 規　格 | データ・レート(Gbps) | 基本波周波数(GHz) | 第3次高調波周波数(GHz) | 第5次高調波周波数(GHz) |
|---|---|---|---|---|
| SATA Ⅰ | 1.5 | 0.75 | 2.25 | 3.75 |
| PCI Express Rev.1.x | 2.5 | 1.25 | 3.75 | 6.25 |
| SATA Ⅱ | 3 | 1.5 | 4.5 | 7.5 |
| XAUI | 3.125 | 1.56 | 4.69 | 7.81 |
| Fibre Channel | 4.25 | 2.125 | 6.375 | 10.625 |
| FB-DIMM | 4.8 | 2.4 | 7.2 | 12.0 |
| PCI Express Rev.2.0 | 5.0 | 2.5 | 7.5 | 12.5 |
| SATA Ⅲ | 6.0 | 3.0 | 9.0 | 15.0 |
| Double XAUI | 6.25 | 3.125 | 9.375 | 15.625 |
| PCI Express Rev.3.0 | 8.0 | 4 | 12 | 20 |
| Fibre Channel | 8.5 | 4.25 | 12.75 | 21.25 |
| XFI | 10.0 | 5.0 | 15.0 | 25.0 |

写真2　ケーブルとコネクタ

左からx1，x4，x8，x16のケーブルを表す．x4以上はコネクタ外側にEMI低減を兼ねたガイドが付く構造になっている．グラウンドを含めておのおの18，38，68，136極となる．写真は米国Molex社提供(http://www.molex.com/)．

Expressをケーブル接続することにより，フォーム・ファクタの自由度を高めることが目的です．I/O部を分割したパソコンの実現，シャーシ間接続，ノート・パソコンのExpressCardスロットと拡張I/Oモジュールやドッキング・ステーションとの接続，計測器などさまざまな用途が考えられます．

データ転送レートは2.5Gbpsですが，5Gbpsの規格化も進められています．ケーブル長は規定されておらず，ケーブルとコネクタ部分で損失を7.5dB未満(1.25GHzにて)，ジッタは0.145UI(58ps)未満に抑えることが必要です．現在市販されているケーブル(実用化されているのは7mまで)とコネクタを**写真2**に示します．

### ● PCI Express Rev.3.0を8Gbpsに決定

Rev.2.0のデバイスが登場したばかりですが，Rev.3.0が8Gbpsになることが PCI-SIGで決定されました(http://www.pcisig.com/news_room/08_08_07/)．2.5Gbps，5Gbpsと倍々で来たので，次は10Gbpsかと思いましたが，10Gbpsでは以下のような問題が生じるので8Gbpsに抑えました．

1) いっそうの消費電力の増加が予想される．

2) 低損失な材質の基板やバック・ドリル・ビアやブラインド・ビアの採用が必要となりコスト・アップにつながる．

また5Gbpsまでに採用していた8b/10b符号化をやめて，スクランブルのみでデータ転送を行うことで，オーバヘッドをなくしました．物理層の速度を2倍にしなくても，実質的にデータ転送レートを2倍に高められます．2010年以降の登場を目標に規格化を目指しています(http://www.pcisig.com/news_room/faqs/pcie3.0_faq/)．

はたけやま・ひとし
日本テクトロニクス(株)